

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 4 月 21 日 (21.04.2005)

PCT

(10) 国際公開番号
WO 2005/036638 A1

- (51) 国際特許分類⁷: H01L 21/762, 27/12, 29/786, 21/336
(21) 国際出願番号: PCT/JP2004/014603
(22) 国際出願日: 2004 年 10 月 4 日 (04.10.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2003-352692
2003 年 10 月 10 日 (10.10.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 国立
大学法人 東京工業大学 (TOKYO INSTITUTE OF
TECHNOLOGY) [JP/JP]; 〒1528550 東京都目黒区大
岡山 2-1 2-1 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 酒井 徹志 (SAKAI,
Tetsushi) [JP/JP]; 〒2268503 神奈川県横浜市緑区長津

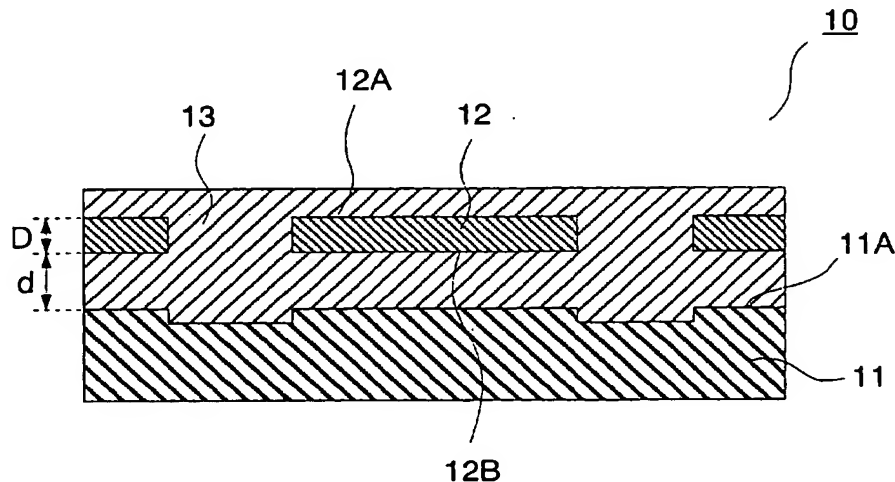
田町 4 2 5 9 国立大学法人東京工業大学内 Kana-
gawa (JP). 大見 俊一郎 (OHMI, Shunichiro) [JP/JP]; 〒
2268503 神奈川県横浜市緑区長津田町 4 2 5 9 国立
大学法人東京工業大学内 Kanagawa (JP). 山▲崎▼崇
(YAMAZAKI, Takashi) [JP/JP]; 〒2268503 神奈川県横
浜市緑区長津田町 4 2 5 9 国立大学法人東京工業大
学内 Kanagawa (JP).

- (74) 代理人: 古谷 史旺, 外 (FURUYA, Fumio et al.); 〒
1600023 東京都新宿区西新宿 1 丁目 1 9 番 5 号 第
2 明宝ビル 9 階 Tokyo (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: SEMICONDUCTOR SUBSTRATE, SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCING SEMICON-
DUCTOR SUBSTRATE

(54) 発明の名称: 半導体基板、半導体装置及び半導体基板の作製方法



(57) Abstract: An assembly comprising silicon base material (31) and, sequentially superimposed thereon, silicon germanium layer (32), silicon layer (33) and silicon oxide layer (34) is provided with opening (35), and additional silicon oxide layer (36) is formed so as to cover the internal surface of the opening (35) and the silicon oxide layer (34). Subsequently, the silicon germanium layer (32) is etched off, and the silicon base material (31) and the silicon layer (33) are sequentially subjected to thermal oxidation treatment and annealing treatment to thereby obtain thermally oxidized layers (37, 38). Thereafter, planarization film (39) is provided and planarization treatment is carried out to thereby produce semiconductor substrate (10) having insular parts of silicon (12) embedded in insulating member of silicon oxide (13). Thus, highly integrated CMOSLSI can be easily obtained in accordance with inter-element separation, and through satisfactory reduction of the thickness of SOI layer and BOX layer, not only can short channel effects be suppressed but also the SOI layer and BOX layer can be formed into multilayers.

[続葉有]



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

- すべての指定国のための不利にならない開示又は新規性喪失の例外に関する申立て (規則4.17(v))

添付公開書類:

- 国際調査報告書
- 不利にならない開示又は新規性喪失の例外に関する申立て

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: シリコン基材31上に、シリコンゲルマニウム層32、シリコン層33及び酸化シリコン層34が順次に形成されたアセンブリに対して開口部35を形成し、酸化シリコン層34及び開口部35の内表面を覆うようにして追加の酸化シリコン層36を形成する。次いで、シリコンゲルマニウム層32をエッチング除去し、シリコン基材31及びシリコン層33に熱酸化処理及びアニール処理を順次に施して熱酸化層37及び38を形成する。次いで、平坦化膜39を形成し、平坦化処理を行って、シリコンからなる島状部12が酸化シリコンからなる絶縁部材13内に埋設されてなる半導体基板10を作製する。これにより、素子間分離に基づいて高集積CMOSLSIを簡易に形成することができ、SOI層及びBOX層を十分に薄層化することにより、短チャネル効果を抑制することができ、しかもSOI層及びBOX層を多層にすることができる。